

Syntacore™
Custom cores and tools



# Использование SCR-1
## - открытого RISC-V MCU ядра

**Екатерина Березина**

Технический симпозиум RISC-V Moscow

Май 2019

scr1@syntacore.com

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# План презентации



- Проект SCR1
  - Архитектура и конфигурации
  - Разработка ПО и симуляция
- Проект SCR1 SDK
- SCR1 в обучении


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.




# Проект SCR1

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Почему SCR1?

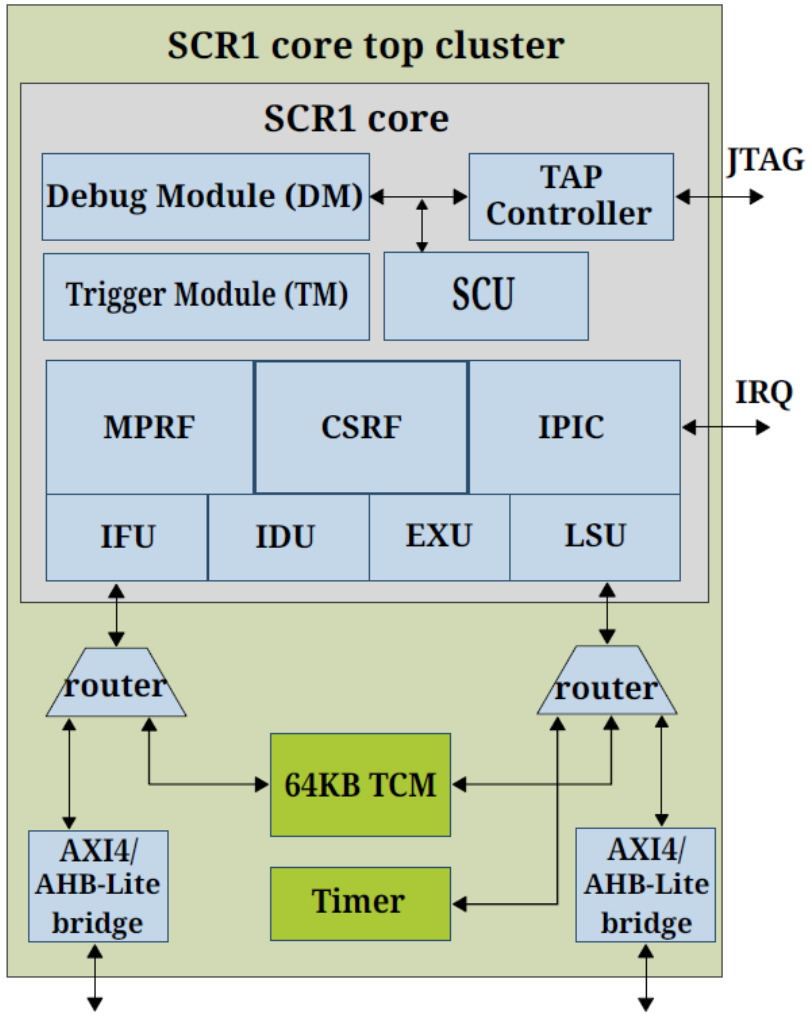


- SCR1 - это открытое RV32I|E[MC] ядро высокого качества от компании Syntacore
- Разрешено неограниченное коммерческое использование
- Проект на System Verilog со всем необходимым пакетом документации и верификационным окружением
- Поддерживается и обновляется по мере развития спецификаций RISC-V
- Хорошо подходит для образовательных целей и используется в промышленности


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Обзор SCR1






## SCR1 - компактное микроконтроллерное ядро для применения во встроенных системах

- **Открытый исходный код под лицензией SHL 2.0**
  - Разрешено неограниченное коммерческое использование
- RV32I|E[MC] ISA
- **<15 kGates** в базовой конфигурации RV32EC
- Конфигурируемый конвейер от 2 до 4 стадий
- Только Machine Mode
- Опциональный IPIC на 16 линий прерываний
- Опциональный RISC-V Debug модуль с JTAG интерфейсом
- Верификационное окружение
- Документация
- Проект активно поддерживается и обновляется
- Доступна коммерческая поддержка

| | | | |
|---|---|---|---|
| Performance*, per MHz | DMIPS | -O2 | 1.28 |
| | | -best** | 1.89 |
| | Coremark | -best** | 2.95 |

* Dhrystone 2.1, Coremark 1.0, GCC 7.1 BM from TCM
** -O3 -funroll-loops -fpeel-loops -fgcse-sm -fgcse-las -flto


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

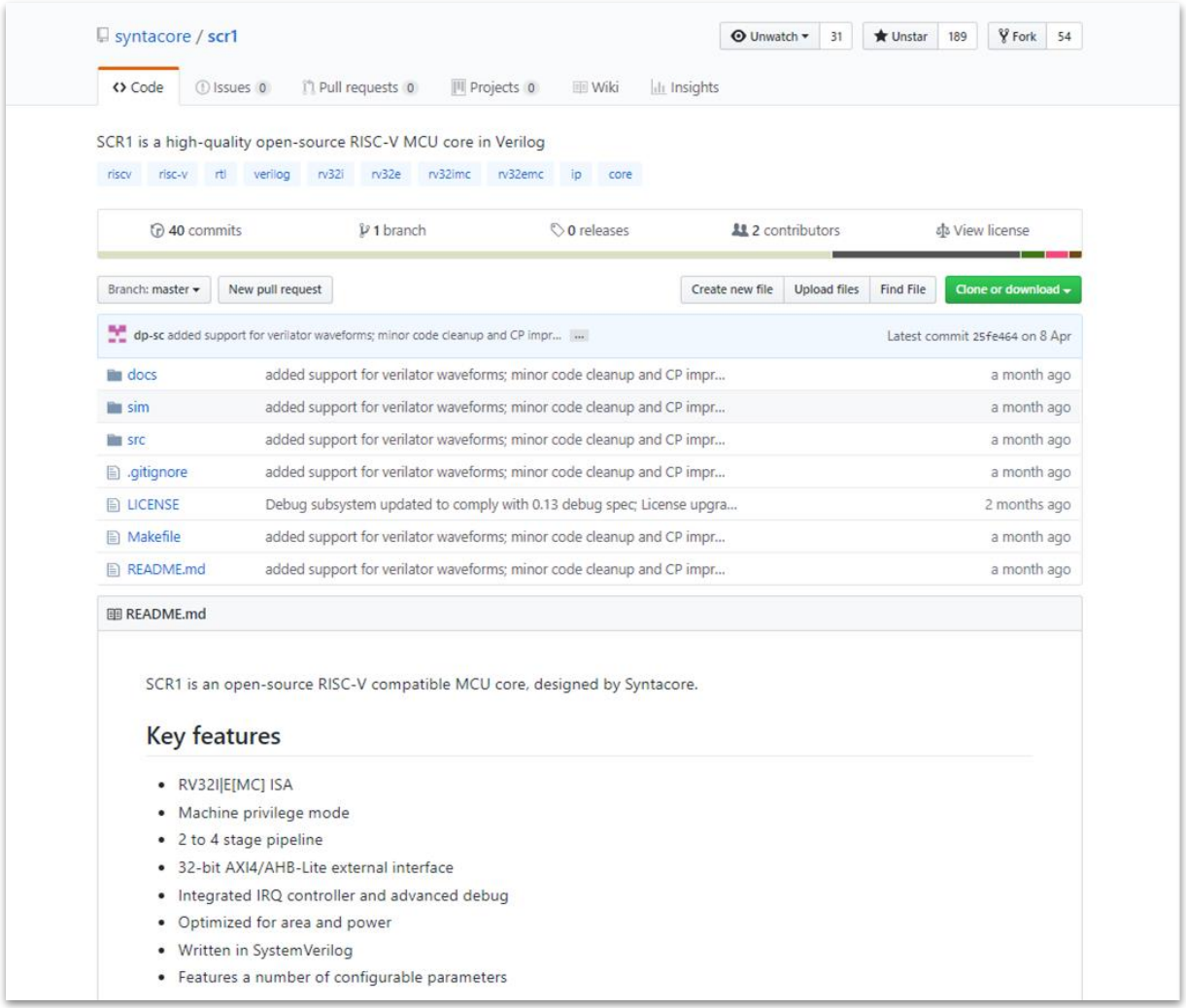
# GitHub репозиторий SCR1



https://github.com/syntacore/scr1

## Структура репозитория:

- **docs** - документация SCR1
  - SCR1 External Architecture Specification
  - SCR1 User Manual
- **src** - файлы исходного кода SCR1 RTL и тестового окружения
  - pipeline, core and cluster source files
  - testbench files
  - source file lists
- **sim** - тесты и сценарии для симуляции
  - source files for tests
  - source files for RISC-V ISA tests
  - source files for RISC-V Compliance tests
  - Dhrystone 2.1 source files
  - Coremark platform specific source files
  - simple test examples
  - wrappers for Verilator simulation





Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.




# Архитектура SCR1

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# RISC-V ISA



## RV32I базовая целочисленная система команд

- Минимальный необходимый набор команд
- 32-битное адресное пространство
- 31 регистр общего назначения по 32-бит
- Все инструкции ширины 32-бит

## RV32E (E=Embedded) базовая целочисленная система команд

- Аналогично RV32I, но представлено только 15 регистров общего назначения.
- Способствует реализациям, чувствительным к стоимости регистрового файла

## Расширение “M”

Стандартное опциональное расширение для операций целочисленного умножения и деления

## Расширение “C”

Стандартное опциональное расширение для сокращенных инструкций

- Дополнительный набор инструкций ширины 16-бит


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# RISC-V Privileged Architecture



- **SCR1 работает только в режиме Machine Privilege Level**
  - Machine Level - режим с наивысшими привилегиями, любой исполняемый код воспринимается как надежный
    (profile - embedded without protection)

- **Особые инструкции**
  - **ECALL**: генерирует исключительную ситуацию environment_call
  - **EBREAK**: генерирует исключительную ситуацию breakpoint
  - **ERET**: возврат из trap
  - **WFI**: остановка ядра до возникновения прерывания


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Control and Status Registers



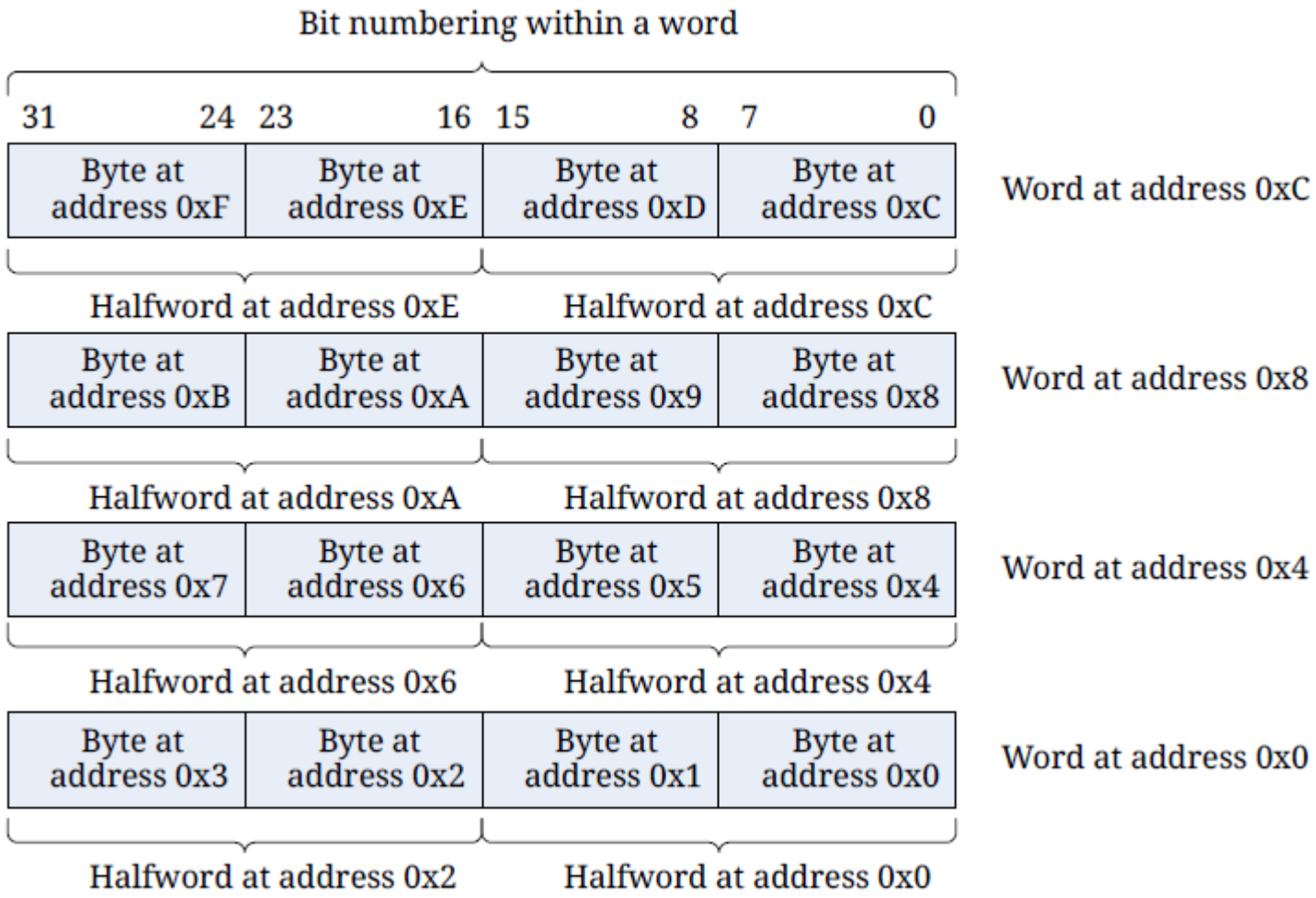
Control and Status Registers (CSRs) - набор специализированных регистров для просмотра состояния и управления ядром и подсистемами

- Информационные регистры (только для чтения)
- Настройка Trap
- Обработка Trap
- Счетчики/Таймеры
- Регистры Debug
- Регистры IPIC


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Модель памяти






Порядок little-endian

Ширина и выравнивание данных:

- 32-разрядные слова (words)
- 16-разрядные полуслова (halfwords)
- 8-разрядные байты (bytes)

32-разрядный адрес:

- 0x00000000-0xFFFFFFFF

Выравнивание инструкций:

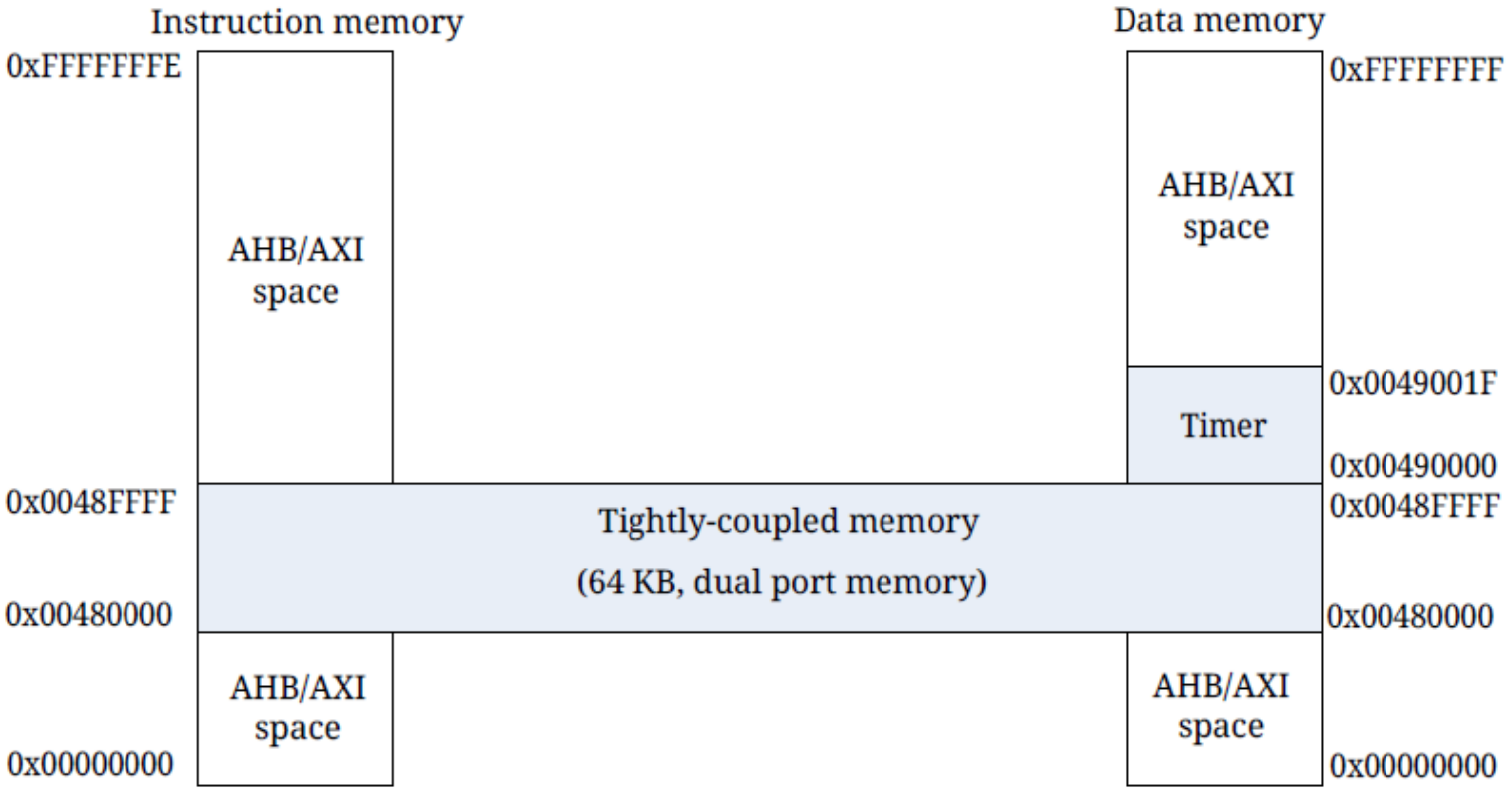
- 4-байтная граница для RV32I|E[M]
- 2-байтная граница для RV32C


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Карта системной памяти



- Независимый доступ к памяти инструкций и памяти данных
- Внешний интерфейс памяти
  - AXI4 Interface
  - AHB-Lite Interface
- Tightly-coupled memory
- Отображаемые в памяти Timer и Timer Control




Syntacore™ Custom cores and tools

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

RISC-V

# Tightly-Coupled Memory



Тесно связанная память или Tightly-Coupled Memory (TCM) - небольшая близкая к ядру память с быстрым откликом

- Гарантированное время отклика - 1 такт
- Может использоваться для секций инструкций и данных
  - Два независимыми интерфейса доступа к инструкциям и данным
- Размер TCM до 64 kBytes
- Базовый адрес 0x00480000


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Исключительные ситуации и прерывания

- **Исключительные ситуации (Exceptions)** - синхронные события
  - Возникают в результате выполнения конкретной инструкции
- **Прерывания (Interrupts)** - асинхронные события
  - Возникают не из-за инструкций: I/O, timer, SW
- Обрабатываются перехватыванием (trapping):
  - MTVEC CSR хранит адрес обработчика
  - MCAUSE CSR сохраняет ID причины события
  - MTVAL CSR сохраняет дополнительную информацию
    - Например, адрес недействительной инструкции
  - MEPC CSR сохраняет адрес для возврата из Trap
  - MSTATUS CSR содержит информацию о разрешении/запрете прерываний

| Supported exceptions: |
|---|
| Misaligned instruction fetch address |
| Instruction fetch access fault |
| Illegal instruction |
| Breakpoint |
| Misaligned load address |
| Load access fault |
| Misaligned store address |
| Store access fault |
| Ecall from M-mode |
| **Supported interrupts:** |
| Software interrupt |
| Timer interrupt |
| External interrupt |


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Integrated Programmable Interrupt Controller



Интегрированный Программируемый Контроллер Прерываний (Integrated Programmable Interrupt Controller - IPIC) может быть опционально включен в состав проекта SCR1

- Доступно до 16 векторов/линий прерываний
- Вектора прерываний имеют фиксированные приоритеты
  - Вектор с наименьшим номером имеет наивысший приоритет
- IPIC настраивается через специальные регистры IPIC CSR


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Подсистема Debug



Подсистема Debug может быть опционально включена в состав проекта SCR1




- Совместима с RISC-V External Debug Support Spec Ver. 0.13.2
- Поддержка стандартных функций отладки:
  - Reset
  - Halt / Resume / Step
  - Доступ к GPR, CSR, MEM
  - HW Breakpoint / Watchpoint с выбором количества
- Интерфейс JTAG IEEE Std 1149.1-2013


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.




# Конфигурации SCR1

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Исходный код ядра SCR1



## Исходный код:

- SystemVerilog, ~10000 LOC, ~500kB code size
- 33 конфигурируемые опции
- 3 предопределенные конфигурации:
  - Minimal RV32EC w/o uncore
  - Basic RV32IC with debug/irq
  - Max performance RV32IMC

| Configuration | Area, kgates | Artix-7 utilization, LUT/FF | Coremark, MHz |
|---|---|---|---|
| Minimal RV32EC w/o uncore | 11 | 2099 / 818 | 1.01 |
| Basic RV32IC with debug/irq | 26 | 4355 / 2267 | 1.27 |
| Max performance RV32IMC | 33 | 5753 / 2413 | 2.95 |

* utilization for Digilent Arty board (XC7A35T)


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Конфигурируемые опции



## SCR1 имеет 33 конфигурируемые опции

### Архитктура системы команд

- RV32I или RV32E база
- Расширения M и C

### Микроархитектурные опции ядра

(оптимизация площади/производительности)

- Стадии конвейера
- Конфигурация умножителя
- Тактовое гейтирование
- И другие

### Адресные константы

- RST vector
- MTVEC base
- Timer
- TCM

### Опции вне ядра

- Включение подсистемы Debug
- Включение HW Breakpoints/ Watchpoints + выбор количества
- Включение IPIC
- Включение TCM
- Добавление регистров на входах/выходах AXI/AHB

### Симуляционные опции

- Включение SVA и Tracelog



Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.




# Разработка программного обеспечения

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Инструменты для сборки ПО



- **GNU make** (version ≥ 4.0)
  - https://www.gnu.org/software/make/
- **RISC-V GCC Toolchain**
  - http://syntacore.com/page/products/sw-tools
  - https://github.com/riscv/riscv-gnu-toolchain.git


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Некоторые полезные руководства



- **Руководство RISC-V Assembly Programmer's Manual:**
  - https://github.com/riscv/riscv-asm-manual/blob/master/riscv-asm.md
- **Руководство GNU assembler as (GNU Binutils):**
  - https://sourceware.org/binutils/docs/as/
- **Спецификация RISC-V ISA:**
  - https://riscv.org/specifications/


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.




# Симуляционное окружение

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Работа в симуляторах “из коробки”



## Быстрый запуск симуляции из корня репозитория SCR1:

```
> make run_verilator ARCH=IMC
```

## Поддержка основных симуляторов:

- Altera ModelSim
- Synopsys VCS
- Cadence NCSim
- Verilator +waveforms




## Тесты:

- RISC-V ISA tests
- RISC-V Compliance suite
- Dhrystone benchmark
- CoreMark benchmark
- Другие тесты и примеры приложений


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.




# Проект SCR1 SDK

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

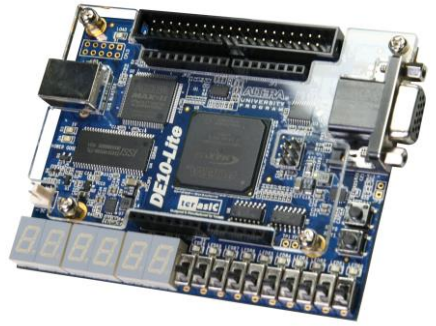
# SCR1 SDK

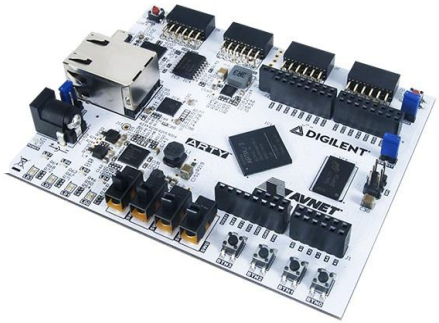


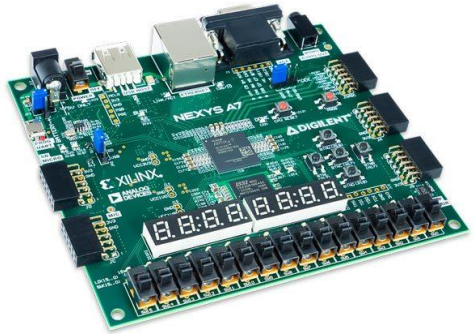
## SDK платформы:

- Digilent Arty (Xilinx) @25MHz
- Terasic DE10-Lite (Intel) @20MHz
- Arria V GX Starter (Intel) @30MHz
- Digilent Nexys 4 DDR (Xilinx) @30MHz

NEW






## Программное обеспечение:

- Bootloader
- Zephyr RTOS
- Tests/SW samples

**Открытые проекты и готовые образы для быстрого запуска, подробные руководства**



Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

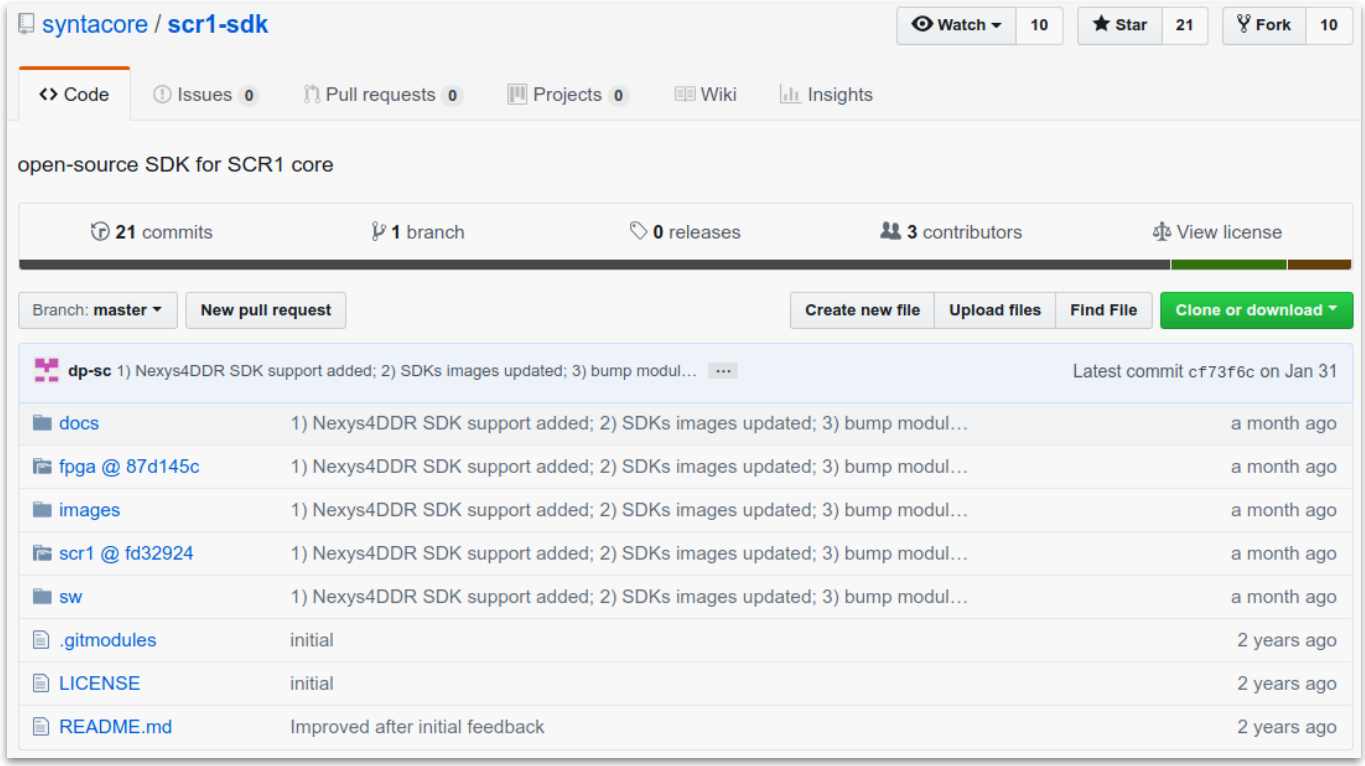
# GitHub репозиторий SCR1-SDK



https://github.com/syntacore/scr1-sdk

## Структура репозитория:

- **docs** - документация
- **fpga** - открытые SCR1 SDK FPGA проекты
- **Images** - готовые бинарные образы для FPGA
- **scr1** - субрепо SCR1
- **sw** - ПО для FPGA





Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.




# SCR1 в обучении

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Практика SCR1



## Попробуйте SCR1 Tutorial с настоящей практикой:

- Симуляция и верификация SCR1
- Эксперименты с конфигурируемостью SCR1 и RISC-V ISA
- Модификация SCR1 RTL (напр. расширение системы команд)
- Сборка SCR1 FPGA SDK
- Запуск Zephyr RTOS и тестовых программ SCR1 SDK

Полный курс готовится к публикации, для заинтересованных возможен ранний доступ. Пишите - scr1@syntacore.com


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Магистратура в Университете ИТМО



Компания Syntacore в сотрудничестве с Университетом ИТМО открывает корпоративную магистратуру по направлению «Системы на кристалле»

**Приглашаем вас получить уникальную, востребованную на рынке специальность архитектора систем на кристалле и стать частью инновационного технологического мира!**


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Программа обучения



- **Микроархитектура процессоров**
  от простого конвейера до высокопроизводительных параллельных вычислений
- **Подсистема памяти**
  техники оптимизации и защиты данных
- **Операционные системы и системное программирование**
  управление ресурсами и процессами
- **Компиляторы и производительное программирование**
  как получать максимум производительности из программно-аппаратного комплекса
- **Цифровой дизайн интегральных схем**
  от схемотехники до работоспособных чипов
- **Проектирование Систем-на-Кристалле**
  как создать эффективный компьютер для решения уникальных задач
- **Методология проектирование**
  совершенствование техник проектирования вычислительных систем


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Гранты, стажировки и карьерные перспективы

Помимо программы обучения студентам доступны дополнительные исследовательские и карьерные возможности:

- Syntacore предлагает студентам магистратуры пройти оплачиваемую стажировку в компании
- Участие в хакатонах, исследовательских и open source проектах, проектах по развитию RISC-V
- Сотрудничество с мировыми университетами и исследовательскими центрами
- После окончания обучения и стажировки - хорошие перспективы получить достойно оплачиваемую работу по специальности в России и/или за рубежом


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

# Как поступить



Прием заявок на образовательную программу «Компьютерные системы и технологии», специализация №2 «Системы на кристалле» осуществляется через сайт абитуриента ИТМО:

- https://abit.ifmo.ru/program/11694/

Остались вопросы? edu@syntacore.com


Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.




# Спасибо за внимание!

https://github.com/syntacore/scr1
https://github.com/syntacore/scr1-sdk

www.syntacore.com
scr1@syntacore.com

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.