Syntacore
Custom cores and tools

SCRx семейство RISC-V совместимого процессорного IP

Павел Хабаров, Ведущий инженер
Syntacore

Технический симпозиум RISC-V Москва
Май 2019

О компании Syntacore

Разработчик процессорного IP с RISC-V ISA, в экосистеме RISC-V с момента основания

Разрабатываем и лицензируем современные RISC-V ядра с конкурентными характеристиками

- Начальная линейка IP проверена в кремнии, доступна и лицензируется
- Около 4 лет специализации в RISC-V
- Более 15 лет профильного опыта у core team в крупной профильной МНК
- Инструменты, SDKs, образцы в кремнии, документация

Полный сервис по специализации ядер под приложения заказчика

- Анализ приложения, дизайн расширений ISA, имплементация
  - С полным пакетом инструментов
- Интеграция в СнК, портирование ПО
- Возможен hardening на требуемой библиотеке

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

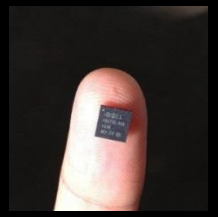
О компании Syntacore (прод.)

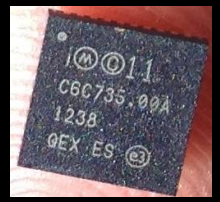
Основана в 2015 , 30+ сотрудников

Штаб-квартира: Кипр (EU)

- R&D офисы в Санкт-Петербурге и Москве
- Представительства в Китае/APAC, EMEA





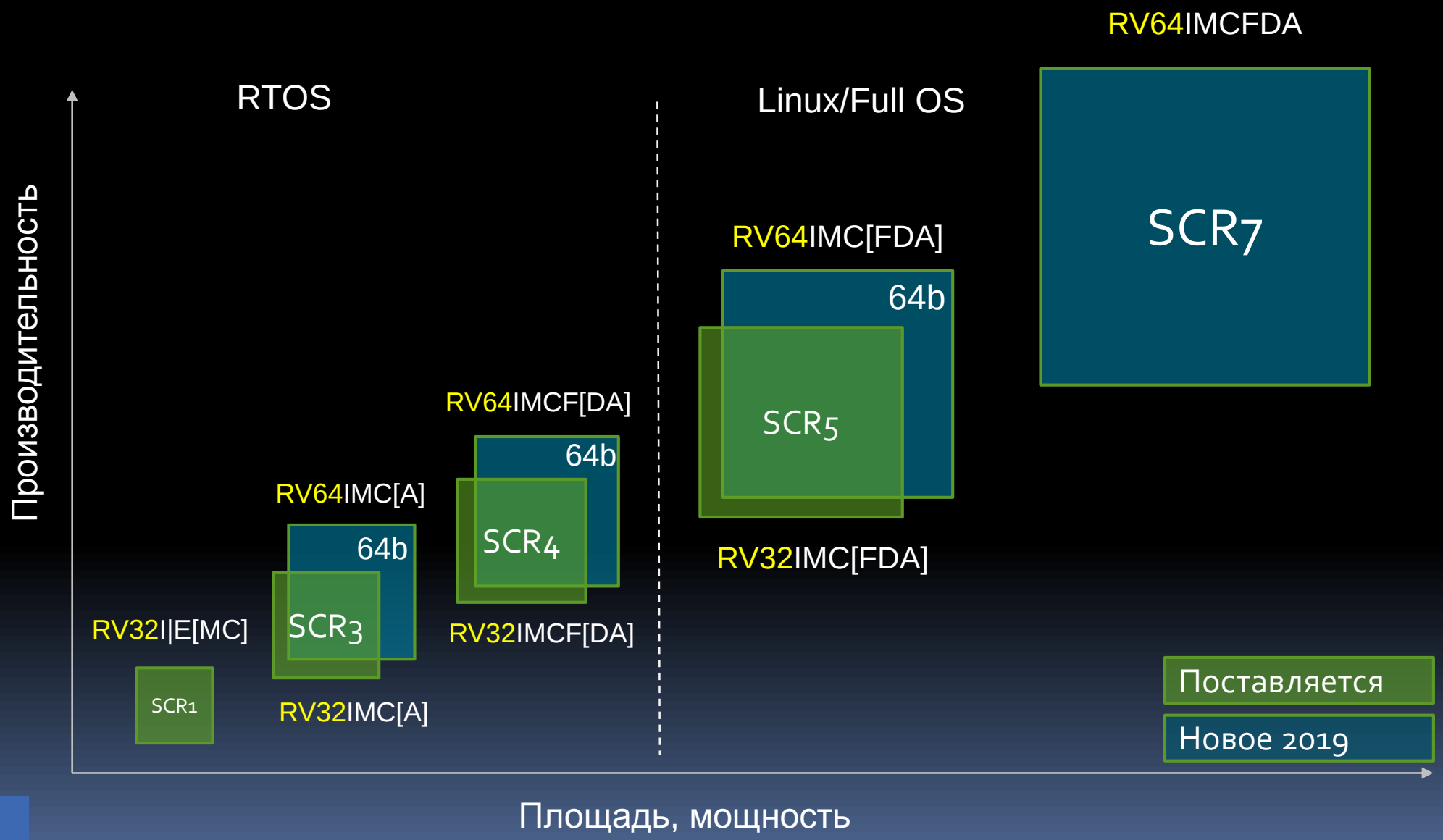


Экспертиза:

- Высокопроизводительные встраиваемые ядра и IP с низким потреблением
- ASIP технологии и реконфигурируемые архитектуры
- Исследования архитектур и характеризация вычислительных задач
- Компиляторные технологии

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

Семейство процессорного IP SCRx



Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

Функциональность ядер SCRx

Features			RTOS/ Bare Metal			Linux/ "Full" OS	
			SCR1* (FREE!)	SCR3	SCR4	SCR5	SCR7
Width		32bit	●	●	●	●	
		64bit		●	●	●	●
ISA			RV32I[E][MC]	RV[32|64]IMC[A]	RV[32|64]IMCF[AD]	RV[32|64]IMC[AFD]	RV64IMCAFD
Pipeline type			In-order	In-order	In-order	In-order	Superscalar
Pipeline, stages			2-4	3-5	3-5	7-9	10-12
Branch prediction				Static BP, RAS	Static BP, RAS	Static BP, BTB, BHT, RAS	Dynamic BP, BTB, BHT, RAS
Execution priority levels			Machine	User, Machine	User, Machine	User, Supervisor, Machine	User, Supervisor, Machine
Extensibility/customization			●	●	●	●	●
Execution units	MUL/DIV	area-opt	●	○	○		
		hi-perf	○	●	●	●	●
	FPU				●	●	●
Memory subsystem	TCM		○	○	○	○	○
	L1$ w/ECC			○	○	●	●
	L2$ w/ECC					○	○
	MPU			●	●	●	●
	MMU, virtual memory					●	●
Debug	Integrated JTAG debug		●	●	●	●	●
	HW BP		1-2	1-8 adv ctrl	1-8 adv ctrl	1-8 adv ctrl	1-8 adv ctrl
	Performance counters		○	○	○	○	○
Interrupt Controller	IRQs		8-32	8-1024	8-1024	8-1024	8-1024
	Features		basic	advanced	advanced	advanced+	advanced+
SMP support				up to 4 cores with coherency			up to 8-16 cores
I/F options	AHB		●	○	○	○	○
	AXI4		○	●	●	●	●
	ACE						○

* Download SCR1 free at www.github.com/syntacore/scr1

Базовые ядра: Расширяемость и специализация

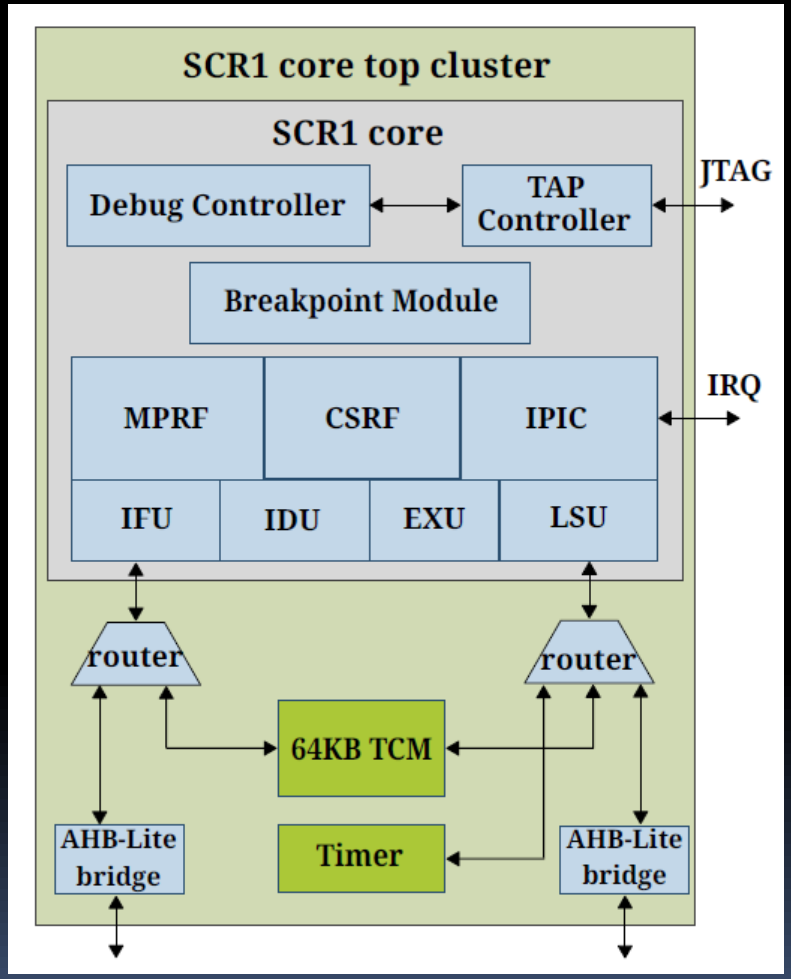
Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

Обзор ядра SCR1

Качественное компактное ядро MCU класса для встроенных применений

- RV32I|E[MC] ISA
- 2 до 4 стадий конвейера
- M-mode
- Конфигурируемый контроллер прерываний IPIC
  - 8..32 IRQs
- Debug Controller
  - OpenOCD и коммерческое ПО
- Опции MUL/DIV
- Оптимизация по площади и/или производительности
- Открытый исходный код под SHL лицензией (~Apache 2.0)
  - Неограниченное использование в коммерческих целях

Free & open



- Качественное, бесплатное MCU IP, проверенное в кремнии
- Один из самых популярных System Verilog репозиториев GitHub в мире
- Best effort техническая поддержка, также доступна ответственная поддержка на коммерческой основе

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

Обзор ядра SCR1 (прод.)

Производительность*, на MHz	DMIPS	-O2	1.28
		-best**	1.89
	Coremark	-best**	2.95

* Dhrystone 2.1, Coremark 1.0, GCC 7.1 BM from TCM
** -O3 -funroll-loops -fpeel-loops -fgcse-sm -fgcse-las -flto

Данные логического синтеза:
Мин. конфигурация RV32EC : 11 kGates
Типовая конфигурация RV32IMC: 32 kGates
Диапазон 10..40+ kGates

250+ MHz @ tsmc90lp {typical, 1.0V, +25C}

DEMO

Что нового:

- Подробная документация и руководства для быстрого старта
  - Работает «из-коробки» во всех основных симуляторах + Verilator
- Больше тестов и примеров:
  - RISC-V compliance и другие
- Реализовано в кремнии рядом компаний
- Регулярный трек на ORCONF
- Обновляется и поддерживается



Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

SCR1 SDK

https://github.com/syntacore/scr1-sdk

Содержит:

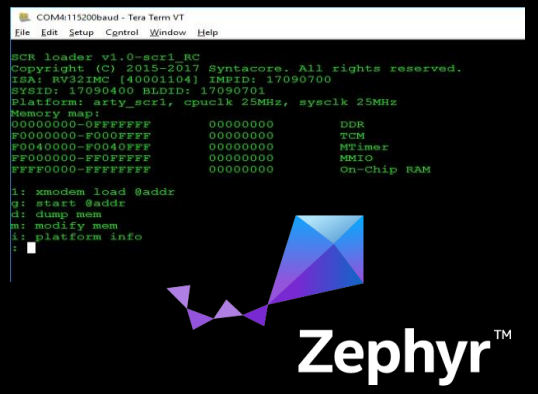
- docs – документацию на SDK
- fpga - SCR1 SDK FPGA проекты
- images – прекомпилированные файлы
- scr1 – исходный код SCR1
- sw – примеры программ

Поддерживаемые платформы:

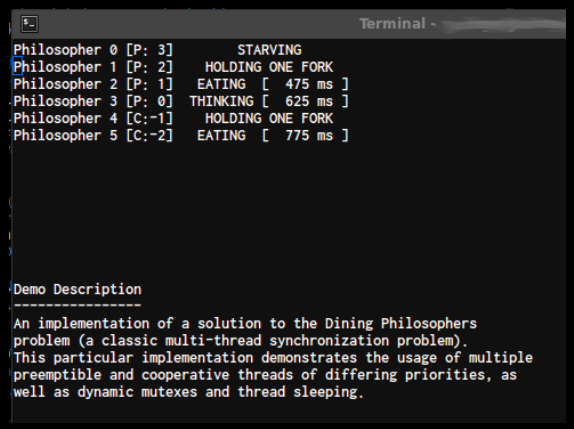
- Digilent Arty and Nexys 4 (Xilinx)
- Terasic DE10-Lite and Arria V GX starter (Intel)

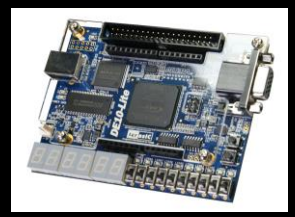
Программное обеспечение:

- Bootloader
- Zephyr OS
- Тесты и примеры
- Собранный toolchain на базе GCC (Win/Linux)

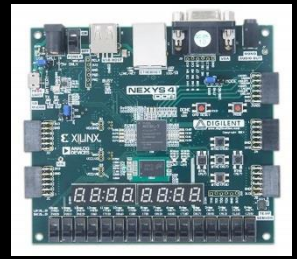


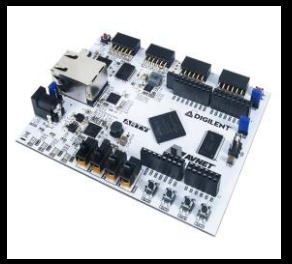
Zephyr™











Полностью открытый дизайн
и пре-собранные образы

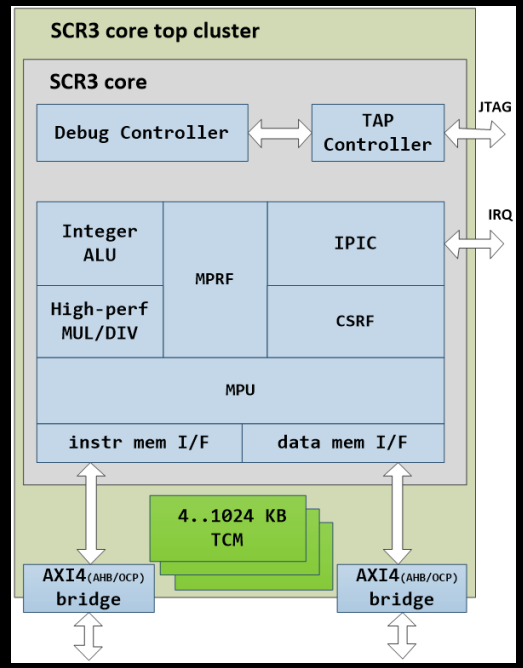
Один из простейших способов
начать работать с RISC-V

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

Ядро SCR3: 32 или 64 бит

Высокопроизводительное ядро MCU класса

- RV32I[MCA] или RV64I[MCA] набор команд
- Machine- и User mode
- MPU (Memory Protection Unit)
- TCM (Tightly Coupled Memory), кеш L1 с ECC/контролем четности
- Внешний интерфейс 32|64-битные AHB или AXI4
- Выбор MUL/DIV
  - оптимизация по производительности или площади
- Встроенный контроллер прерываний и/или PLIC
- Расширенный блок отладки с JTAG i/f
- Многоядерные конфигурации
  - до 4 SCRx ядер на кластер
  - SMP и гетерогенные конфигурации



			RV32	RV64
Производитель-ность*, на MHz	DMIPS	-O2	1.86	1.97
		-best**	2.937	3.27
	Coremark	-best**	3.30	3.40

* Dhrystone 2.1, Coremark 1.0, GCC 8.1 BM from TCM
** -O3 -funroll-loops -fpeel-loops -fgcse-sm -fgcse-las -flto

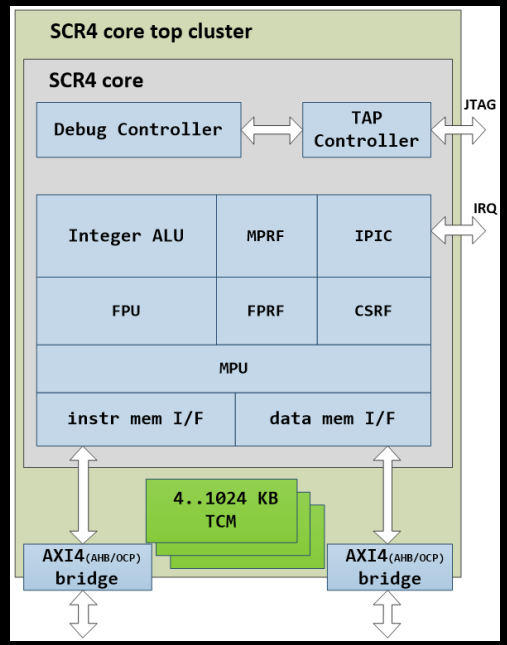
Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

Ядро SCR4: 32 или 64 bit

Высокопроизводительное MCU ядро с FPU

- RV32IMCF[DA] или RV64IMCF[DA] набор команд
- Режимы U- и M-mode
- Конфигурируемый расширенный BP, быстрый MUL/DIV
- Встроенный контроллер IRQ и PLIC
- Внешний интерфейс 32|64-битные AHB или AXI4
- Опциональные MPU, TCM, L1 кэш с ECC
- Расширенный блок отладки с JTAG
- Конфигурируемый FPU одинарной или двойной точности
  - Совместим с IEEE 754-2008
- Многоядерные конфигурации
  - до 4 SCRx ядер
  - Поддержка SMP и гетерогенности

DEMO



			RV32	RV64
Производитель-ность*, на MHz	DMIPS	-O2	1.86	1.97
		-best**	2.96	3.27
	Coremark	-best**	3.30	3.40
	DP Whetstone	-best**	1.22	1.22

* Dhrystone 2.1, Coremark 1.0, GCC 8.1 BM from TCM
** -O3 -funroll-loops -fpeel-loops -fgcse-sm -fgcse-las -flto

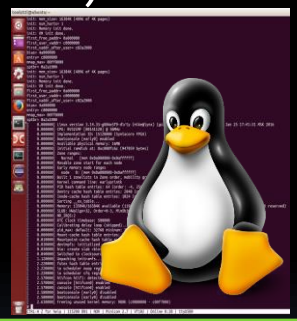
Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

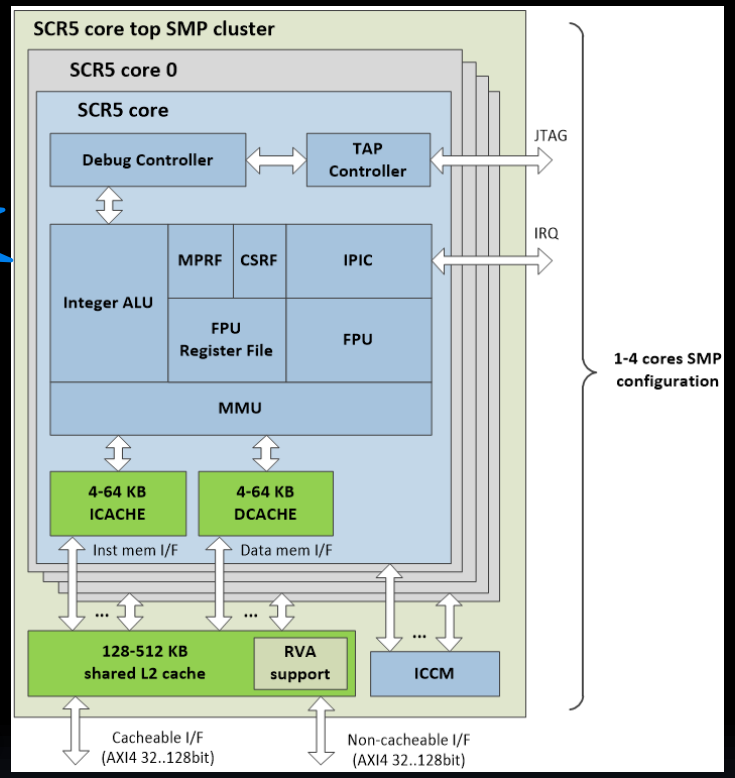
Ядро SCR5: 32 или 64 бит

Эффективное APU начального уровня / встраиваемое ядро

- RV32IMC[AFD] или RV64IMC[AFD] набор команд
- Многоядерные конфигурации
  - до 4 SCRx ядер
  - Поддержка SMP и гетерогенности
- Улучшенный предсказатель ветвлений (BTB/BHT/RAS)
- Контроллер IRQ (integrated and PLIC)
- Уровни привилегий M-, S- и U-mode
- Виртуализация памяти, полноценный MMU
- Кэши L1 и L2 с когерентностью, atomic и ECC
- Высокопроизводительный FPU DP
- Поддержка Linux и FreeBSD
- 1GHz+ @28нм
- Улучшенный модуль отладки с JTAG

DEMO





			RV32	RV64
Производитель-ность*, на MHz	DMIPS	-O2	1,60	1.70
		-best**	2,48	2.62
	Coremark	-best**	2,83	3.02

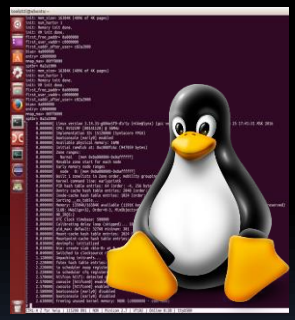
* Dhrystone 2.1, Coremark 1.0, GCC 8.1 BM from TCM
** O3-funroll-loops -fpeel-loops -fgcse-sm -fgcse-las -flto

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

Ядро SCR7: RV64

Эффективное ядро приложений среднего уровня

- RV64GC набор команд
- Многоядерные конфигурации до 8 (позднее 16) ядер
- Гибкий микроархитектурный шаблон, 10-12 стадий конвейера
- Базовая конфигурация SCR7 (Q2'19):
  - Decode & dispatch до двух инструкций за такт
  - Out-of-order issue до четырех микроопераций
  - Out-of-order completion, in-order retirement
- Режимы M-, S- and U-mode
- Виртуализация памяти, полноценный MMU
- 16-64КБайт L1, до 2МБайт L2 кэш с ECC
- 1.2GHz+ @28нм
- Улучшенный модуль отладки с JTAG



Гибкий микроарх. шаблон SCR7

- 2-way SCR7 реализация
- 4-way SCR7 реализация
- Специализированный набор INT, FPU и LSU конвейеров

Производительность*, per MHz	DMIPS	-O2	2.75
		-best**	3.01
	Coremark	-best**	5.00*

* Preliminary data, 2-way implementation, Dhrystone 2.1, Coremark 1.0, GCC 8.1 BM

** O3-funroll-loops -fpeel-loops -fgcse-sm -fgcse-las -flto

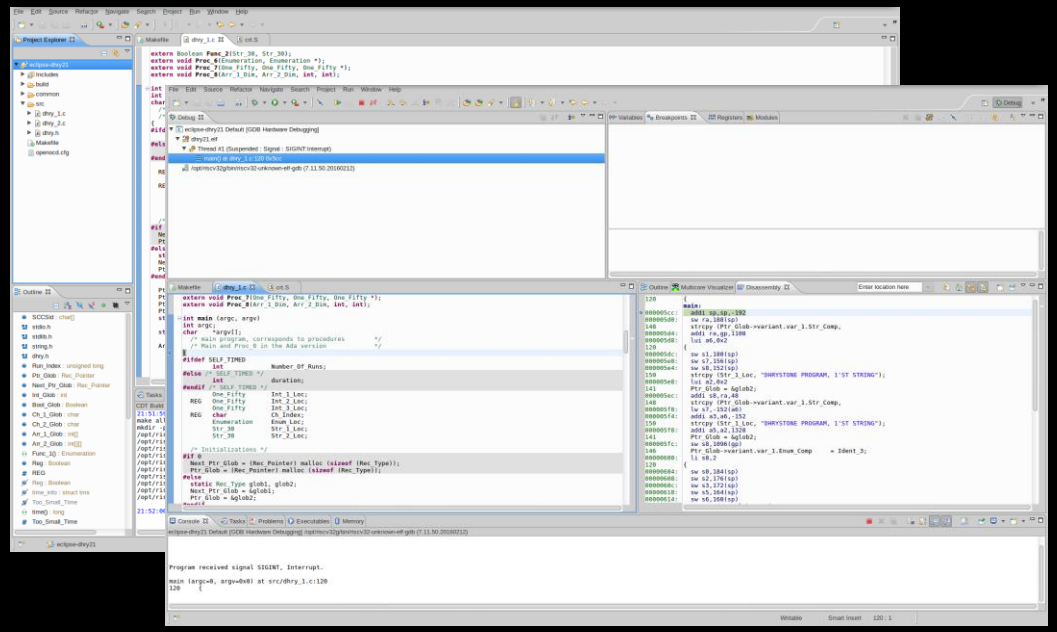
Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

Полнофункциональная среда разработки с IDE на основе open source

Syntacore
Custom cores and tools

Стабильная production версия:

- GCC 8.1
- GNU Binutils 2.31.0
- Newlib 3.0
- GNU GDB 8.0.50
- Open On-Chip Debugger 0.10.0
- Eclipse 4.9.0



Хост: Linux, Windows

Целевые платформы: BM, Linux (beta)

Также доступны:

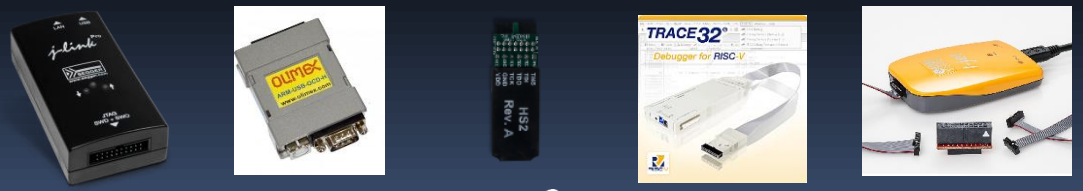
- LLVM
- CompCert 3.1
- Больше вендоров в 2019

Симуляторы:

- Qemu
- Spike
- Другие

Решения для отладки на базе JTAG:

Поддерживаются: Segger J-link, семейство Olimex ARM-USB-OCD, Digilink JTAG-HS2 + коммерческие поставщики



Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

Коммерческие поставщики совместимых инструментов разработчика

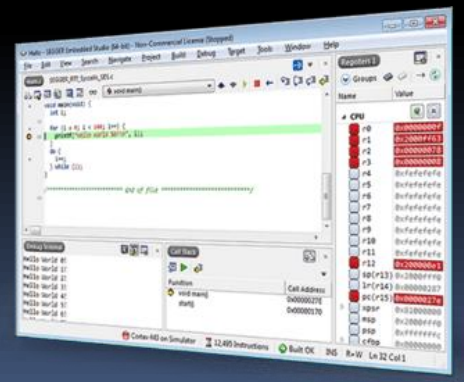
- Lauterbach Trace32

https://www.lauterbach.com/frames.html?pro/pro__syntacore.html



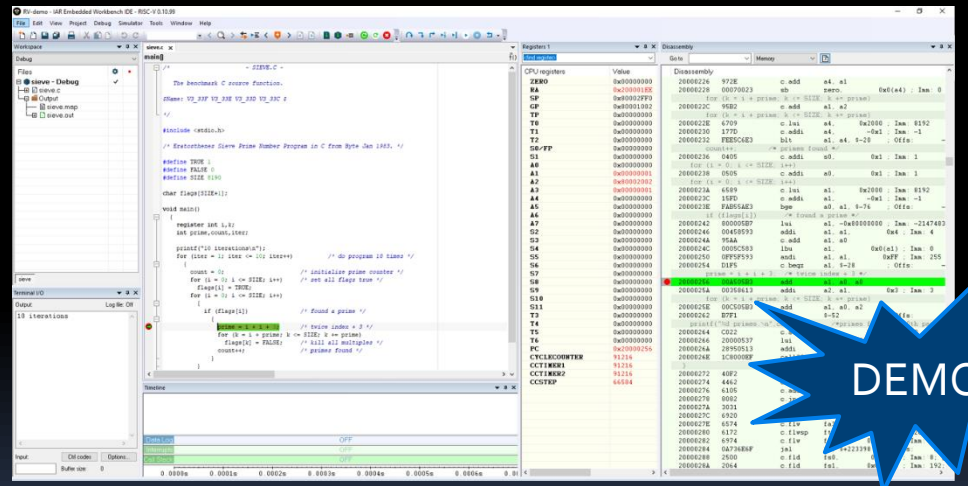
- Segger Embedded Studio

https://wiki.segger.com/Syntacore_SCR1_SDK_Arty



- IAR Embedded Workbench
- NEW!

https://www.iar.com/iar-embedded-workbench/#!?architecture=RISC-V



+новые в 2019 г

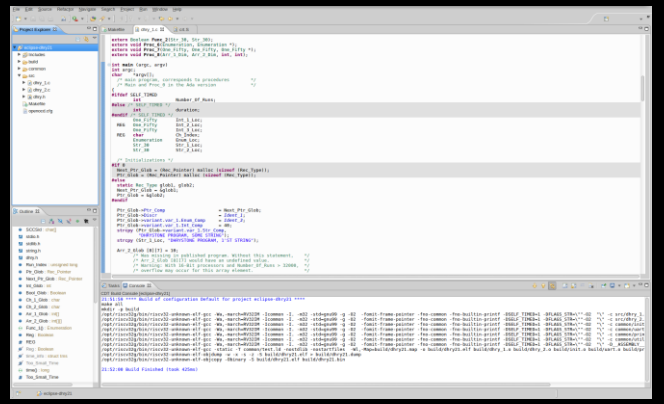
Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

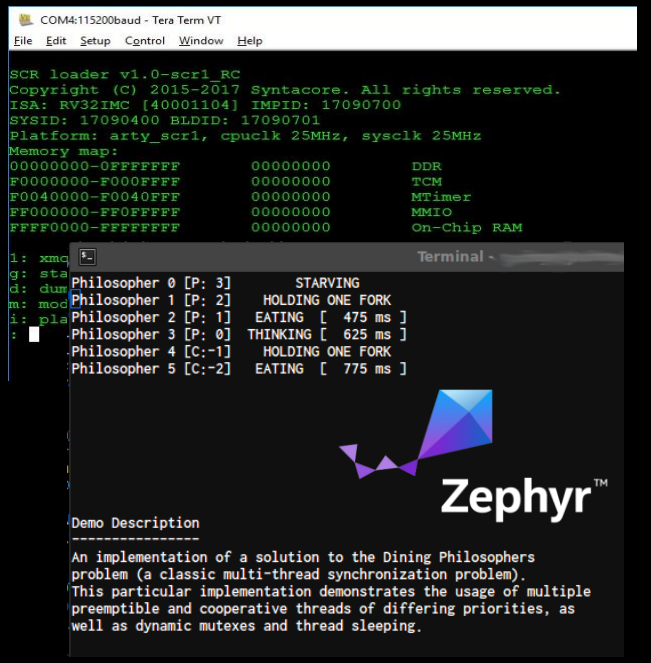
SCRx SDK

Syntacore
Custom cores and tools

Стабильный toolchain с IDE на базеEclipse/GCC:

- GCC 8.1
- GNU Binutils 2.31.0
- Newlib 3.0
- GNU GDB 8.0.50
- Open On-Chip Debugger 0.10.0
- Eclipse 4.9.0



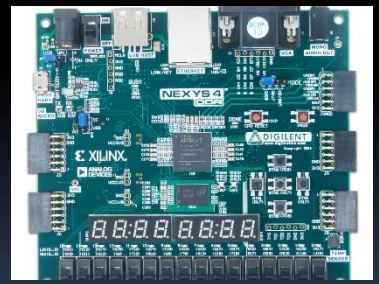


HW платформа на базе стандартных FPGA наборов

- Множество плат поддерживается (Intal/Altera, Xilinx)
- Недорогие сторонние инструменты JTAG
- Открытый дизайн для быстрого старта







https://www.xilinx.com/products/boards-and-kits/1-6olhwl.html



https://www.altera.com/products/boards_and_kits/dev-kits/altera/kit-arria-v-starter.html

Программное обеспечение:

- Загрузчик (bootloader)
- OS: Zephyr/FreeRTOS/Linux
- Примеры приложений, тесты, бенчмарки

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

Расширяемость и специализация



Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

Специализация ядра под задачу

Syntacore
Custom cores and tools

Возможности для расширений:

- Вычислительные возможности
  - Новый функционал на существующей аппаратуре
  - Новые функциональные блоки
- Хранение данных
  - Память/RF,
  - Специализированные AGU
- Порты I/O
- Специализированное поведение
  - Обработка стандартных событий
  - Нестандартные события

Примеры сфер применения:

- Ускорение вычислительно-нагруженных алгоритмов
- Специальные процессоры (в том числе DSP)
- Приложения с высокой пропускной способностью

  Wire Speed Processing/DPI/Real-time/Коммуникации

Sk IT

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

Пример специализации SCRx

Специализированные расширения набора команд ядра SCR5 для ускорения AES и других крипто-алгоритмов

- Условия
  - RV32G – SDK на базе FPGA, g++ 5.2.0, Linux 4.6, оптимизированный C++ код
  - Rv32G + расширения – тоже + интринсики
  - Core i7 6800K @ 3.4GHz, g++ 5.4.0, Linux 64, оптимизированный C++ код
- Ускорение 60..575x при разумном увеличении площади: 11.7% ядра, 3.7% на уровне процессорного кластера

Подробнее в статье с конференции EW2018

Платформа	Fmax, MHz	Пропускная способность шифрования, МБ/с			Нормировано на МГц, МБ/с			Преимущество RV32G + расширения, раз		
		Crypto-1	Crypto-2	AES-128	Crypto-1	Crypto-2	AES-128			
RV32G	20	0.025	0.129	0.238	0.00125	0.00645	0.0119	575.00	117.74	60.93
RV32G + расширения	20	14.375	15.188	14.502	0.71875	0.7594	0.7251			
Core i7	3400	79.115	235.343	335.212	0.02327	0.06922	0.09859	30.89	10.97	7.35
Core i7 + NI	3400			3874.552			1.13957			0.64

Disclaimer: Authors are aware AES allows for more efficient dedicated accelerators designs, used as example algorithm

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

Как получить доступ

SCR1

- Полностью открыт: https://github.com/syntacore/scr1 и https://github.com/syntacore/scr1-sdk
- Разрешено коммерческое использование без ограничений
  - Доступна ответственная SLA-based поддержка

SCR 3|4|5|7

- Доступ к полному пакету* после подписания простого evaluation соглашения

Дополнительная информация: evaluation@syntacore.com

(*) достаточен для тестовой эксплуатации и tapeout

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.

Заключение

- Syntacore предлагает высококачественное RISC-V совместимое микропроцессорное IP
  - В RISC-V экосистеме с момента ее основания, полностью сфокусированы на RISC-V с 2015
  - Проверено в кремнии и поставляется заказчикам
  - Сервис по специализации IP «под ключ»
    - с полной поддержкой в инструментах разработчика

Узнать больше: evaluation@syntacore.com

Copyright © 2019 Syntacore. All trademarks, product, and brand names belong to their respective owners.



Спасибо!